

10/505179

DT: [REDACTED] c'd PCT/PTO 31 AUG 2004

DOCKET NO.: 257478US2PCT

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Norifumi TOKUDA et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/08869

INTERNATIONAL FILING DATE: July 11, 2003

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:


COUNTRY
PCT

APPLICATION NO
PCT/JP03/00443

DAY/MONTH/YEAR
20 January 2003

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/08869.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

REC'D 15 AUG 2003

Rec'd PCT/PTO

10/505179
31 AUG 2004

WIPO

PCT

PCT/JP 03/08869 #2

11.07.03

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application: 2003年 1 月 20 日

出 願 番 号

Application Number: PCT/JP03/00443

出 願 人
Applicant (s):

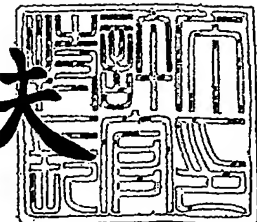
三菱電機株式会社
徳田 法史
楠 茂

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003 年 7 月 31 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証平 15-500206

Best Available Copy

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年01月16日（16.01.2003）木曜日 14時23分55秒

0	受理官庁記入欄	PCT/JP 03/00443
0-1	国際出願番号	
0-2	国際出願日	20.01.03
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際 出願願書は、 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.01.2003)
0-4-1		
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された受理 官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	542768W001
I	発明の名称	半導体装置
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人で ある。	
II-4ja	名称	三菱電機株式会社
II-4en	Name	MITSUBISHI DENKI KABUSHIKI KAISHA
II-5ja	あて名:	100-8310 日本国 東京都 千代田区丸の内 二丁目 2 番 3 号
II-5en	Address:	2-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo 100-8310 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	03(3213)3421
II-9	ファクシミリ番号	03(3218)2460

III-1 III-1-1 III-1-2 III-1-4j a III-1-4e n III-1-5j a III-1-5e n III-1-6 III-1-7	その他の出願人又は発明者 この欄に記載した者は 右の指定国についての出願人である。 氏名(姓名) Name (LAST, First) あて名: Address: 国籍(国名) 住所(国名)	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 徳田 法史 TOKUDA, Norifumi 100-8310 日本国 東京都 千代田区丸の内 二丁目2番3号 三菱電機株式会社内 c/o Mitsubishi Denki Kabushiki Kaisha, 2-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo 100-8310 Japan 日本国 JP 日本国 JP
III-2 III-2-1 III-2-2 III-2-4j a III-2-4e n III-2-5j a III-2-5e n III-2-6 III-2-7	その他の出願人又は発明者 この欄に記載した者は 右の指定国についての出願人である。 氏名(姓名) Name (LAST, First) あて名: Address: 国籍(国名) 住所(国名)	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 楠 茂 KUSUNOKI, Shigeru 100-8310 日本国 東京都 千代田区丸の内 二丁目2番3号 三菱電機株式会社内 c/o Mitsubishi Denki Kabushiki Kaisha, 2-3, Marunouchi 2-chome, Chiyoda-ku, Tokyo 100-8310 Japan 日本国 JP 日本国 JP
IV-1 ... IV-1-1ja IV-1-1en IV-1-2ja IV-1-2en IV-1-3 IV-1-4 IV-2 IV-2-1ja IV-2-1en	代理人又は共通の代表者、通知 のあて名 下記の者は国際機関において右 記のごとく出願人のために行動 する。 氏名(姓名) Name (LAST, First) あて名: Address: 電話番号 ファクシミリ番号 その他の代理人 氏名 Name(s)	代理人 (agent) 吉田 茂明 YOSHIDA, Shigeaki 540-0001 日本国 大阪府 大阪市中央区城見 1丁目4番70号 住友生命OBPプラザビル10階 10th floor, Sumitomo-seimei OBP Plaza Bldg., 4-70, Shiromi 1-chome, Chuo-ku, Osaka-shi, Osaka 540-0001 Japan 06(6945)8030 06(6945)8031 筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent) 吉竹 英俊; 有田 貴弘 YOSHITAKE, Hidetoshi; ARITA, Takahiro

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年01月16日（16.01.2003）木曜日 14時23分55秒

V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE BG CH&LI CY CZ DE DK EE ES FI FR GB GR IE IT LU MC NL PT SE SK TR 及びヨーロッパ特許条約と特許協力条約の締約国である他の国（ただし、以下の国を除く: HU SI）	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN JP KR US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て（米国を指定国とする場合）	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	-
IX-2	明細書	24	-
IX-3	請求の範囲	3	-
IX-4	要約	1	EZABST00.TXT
IX-5	図面	17	-
IX-7	合計	49	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-9	個別の委任状の原本	✓	-
IX-11	包括委任状の写し	✓	-
IX-17	PCT-EASYディスク	-	フレキシブルディスク
IX-19	要約書とともに提示する図の番号	9	
IX-20	国際出願の使用言語名:	日本語	

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年01月16日（16.01.2003）木曜日 14時23分55秒

X-1	提出者の記名押印	
X-1-1	氏名(姓名)	吉田 茂明

受理官庁記入欄

10-1	国際出願として提出された書類 の実際の受理の日	20.01.03
10-2	図面：	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類 を補完する書類又は図面であつ てその後期間内に提出されたも のの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づ く必要な補完の期間内の受理の 日	
10-5	出願人により特定された国際調 査機関	ISA/JP
10-6	調査手数料未払いにつき、国際 調査機関に調査用写しを送付し ていない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

半導体装置

技術分野

本発明は半導体装置に関し、特に半導体基板の厚み方向に主電流が流れる半導体装置に関する。

背景技術

半導体基板の厚み方向に主電流が流れる半導体装置においては、一般的に、基板比抵抗によって決まる所定の厚みまでは、半導体基板の厚みが厚いほど耐圧が高くなり、上記所定の厚み以上では、ほぼ一定の耐圧になる。一方、半導体基板の厚みが厚くなるに従ってオン抵抗が高くなり、電力損失が大きくなって性能は低下する。

以上のことから、半導体基板の厚み方向に主電流が流れる半導体装置においては、性能と耐圧のバランスを考慮して最適な基板厚みを決定することになる。

一方で、半導体装置の製造においては、処理工程途中での半導体基板の割れや、欠け、半導体基板の反りなどの問題を防止する観点から、最適な基板厚みが存在する。

例えば、特開平 8-213292 号公報（特許文献 1 と呼称）には、半導体ウエハの重量を軽減する構成が開示されているが、裏面側に複数の凹部を設けることで、機械的強度を低下させず、重量を軽減する構成が開示されている。

特開平 4-192474 号公報（特許文献 2 と呼称）には、半導体チップに設けられた回路パターンの不正な解読を防止するために、半導体チップの裏面に複数の凹部を設けることで、不正な解読に際して半導体チップが破碎されやすくなる構成が開示されている。

また、半導体基板上に写真製版により所定のパターンを形成する際に、半導体基板の厚みが極端に薄いと、既存の露光装置等では焦点深度を調整しなければならず、多大な手間を要するので、写真製版工程の観点からも最適な基板厚みが存在する。

従って、半導体基板の厚み方向に主電流が流れる半導体装置においては、性能と耐圧だけでなく、半導体基板の機械的な強度や、写真製版工程も考慮して基板

厚みを決定しなければならない。これらの条件を満足させるために、エピタキシャル成長基板を用いることが提案されているが、エピタキシャル成長層の厚みを厚くするには時間がかかり、コスト的に高価なものとなっていた。

発明の開示

本発明は、半導体基板の厚み方向に主電流が流れる半導体装置において、性能と耐圧だけでなく、半導体基板の機械的な強度も満足でき、また写真製版工程に際して露光装置等の調整の手間が不要な半導体装置を提供することを目的とする。

本発明に係る半導体装置の態様は、半導体基板の第1の主面に設けられた第1の主電極と、前記半導体基板の第2の主面に設けられた第2の主電極とを備え、前記半導体基板の厚み方向に主電流が流れる半導体装置において、前記半導体基板は、前記第2の主面に設けられた少なくとも1つの凹部を有することで、第1の厚みを有する第1の領域と、前記第1の厚みよりも薄い第2の厚みを有する第2の領域とを少なくとも備え、前記第2の領域は、前記少なくとも1つの凹部の形成領域に対応し、前記第2の主電極は前記凹部内に配設され、前記第2の厚みは、前記半導体装置の耐圧を満たす厚みに設定される。

本発明に係る半導体装置の態様によれば、例えば、第1の厚みを、製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、露光装置等における特別な焦点深度調整を必要としない厚さに設定することで、製造時の不良発生を低減し、製造コストを低減できるとともに、オン抵抗の低減と耐圧の維持のバランスがとれた半導体装置を得ることができる。

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

図1は、本発明に係る半導体装置に使用される半導体基板の構成を示す断面図である。

図2は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図3は、本発明に係る半導体装置に使用される半導体基板のウエハ状態での構成を示す平面図である。

図 4 は、本発明に係る半導体装置の実施の形態 1 の構成を示す断面図である。

図 5 は、本発明に係る半導体装置の実施の形態 2 の構成を示す断面図である。

図 6 は、本発明に係る半導体装置の実施の形態 3 の構成を示す断面図である。

図 7 は、本発明に係る半導体装置の実施の形態 4 の構成を示す断面図である。

図 8 は、本発明に係る半導体装置の実施の形態 5 の構成を示す断面図である。

図 9 は、本発明に係る半導体装置の実施の形態 6 の構成を示す断面図である。

図 10 は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図 11 は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図 12 は、本発明に係る半導体装置に使用される半導体基板の他の構成例を示す断面図である。

図 13 は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図 14 は、本発明に係る半導体装置に使用される半導体基板のウエハ状態での構成を示す平面図である。

図 15 は、ダイシングラインの配設位置を示す平面図である。

図 16 は、ダイシングラインの配設位置を示す断面図である。

図 17 は、ダイシングラインを設定した状態の半導体ウエハの構成を示す平面図である。

図 18 は、ダイシングラインを設定した状態の半導体ウエハの構成を示す平面図である。

図 19 は、フィールドコンタクトリングの配設位置を示す平面図である。

図 20 は、フィールドコンタクトリングの配設位置を示す断面図である。

図 21 は、複数の凹部を有する半導体基板の構成を示す平面図である。

図 22 は、複数の凹部を有する半導体基板のウエハ状態での構成を示す平面図である。

図 23 は、複数の凹部を有する半導体基板の構成を示す平面図である。

図 24 は、本発明に係る半導体装置に使用される半導体基板の変形例の構成例

を示す断面図である。

図 2 5 は、本発明に係る半導体装置に使用される半導体基板の構成を示す断面図である。

図 2 6 は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図 2 7 は、本発明に係る半導体装置に使用される半導体基板の構成を示す平面図である。

図 2 8 は、本発明に係る半導体装置の実施の形態 7 の構成を示す断面図である。

図 2 9 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 0 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 1 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 2 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

図 3 3 は、本発明に係る半導体装置の実施の形態 7 の製造工程を説明する断面図である。

発明を実施するための最良の形態

本発明に係る実施の形態の説明に先立って、実施の形態に共通する半導体基板の構成について図 1 ～図 3 を用いて説明する。

図 1 は、実施の形態に共通する半導体基板 1 を示す断面図である。

図 1 に示す半導体基板 1 は、第 1 の主面 M S 1 とは反対側の第 2 の主面 M S 2 に、側面 9 1 および底面 9 2 によって規定される凹部 9 を有している。半導体基板 1 は、凹部 9 を有することで、厚み A の周辺領域 1 A（第 1 の領域）と、厚み A よりも薄い厚み B の中央領域 1 B（第 2 の領域）とを有した構成となっている。

すなわち、凹部 9 の底面 9 2 から第 1 の主面 M S 1 にかけての垂直な方向の厚みが厚み B であり、厚み A よりも薄くなっている。

ここで、厚み A は、半導体装置の製造過程において、半導体ウエハに割れや欠

けが生じにくく、かつ、写真製版工程において、露光装置等における特別な焦点深度調整を必要としない程度の厚みに設定されている。例えば、6インチの半導体ウエハを例に採れば、 $500 \sim 650 \mu\text{m}$ に設定されている。

一方、厚みBは、オン抵抗の低減と耐圧とを考慮して決定され、例えば、600Vの耐圧の半導体装置を想定した場合、 $60 \mu\text{m}$ に設定される。

図2に半導体基板1を、第1の主面MS1側から見た場合の平面図を示す。図2に示すように、凹部9は半導体基板1のほぼ中央部に設けられ、その平面形状は矩形である。そして凹部9の周囲が厚みAの周辺領域1Aとなっている。なお、図2におけるX-X線での矢示方向の断面が図1に相当する。もちろん、凹部9の平面形状は円形でも、楕円形でも、また、より複雑な形状であっても良いことは言うまでもない。

なお、図1および図2に示した半導体基板1は、半導体チップに加工した状態の半導体基板であるが、凹部9の形成は半導体ウエハの状態でウエハプロセスの1つとして行う。図3には、半導体ウエハWF1において各チップに対応するように凹部9を設けた状態を示しており、半導体ウエハWF1の一方の主面に、複数の凹部9がマトリクス状に配設されている。この半導体ウエハWF1を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板1を得ることができる。

このように、厚さの異なる部分を有する半導体基板1を用いて、厚み方向に主電流が流れる半導体装置を製造することで、製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、露光装置等における特別な焦点深度調整を必要とせず、オン抵抗の低減と耐圧の維持のバランスがとれた半導体装置を得るという第1の効果を奏する。

また、図3に示すように、半導体ウエハWF1上においては、厚みの薄い部分の個々の面積は、ウエハの全面積に比べて小さく、厚みの薄い部分での反りを抑制することができる。また、半導体チップ対応部分が全て同じ構造であるので、例え、反りが発生しても、半導体チップ間で同様の反りになり、半導体チップ間での特性のばらつきを小さくできるという第2の効果を奏する。

また、IGBT（絶縁ゲートバイポーラトランジスタ：insulated gate bipolar

ar transistor) を例に採れば、厚みが薄い中央領域 1 B に、I G B T の特性に関係する部分を形成することで、キャリアのライフタイム制御のために照射するエネルギー線（電子ビーム、イオンビーム等）の照射エネルギーを低くできる。この結果、ライフタイム制御領域の形成深さの精度を高めて、分布幅の小さいライフタイム制御領域の形成が可能となり、特性バラツキが小さい半導体装置を得るという第 3 の効果を奏する。

以下、本発明に係る実施の形態 1 ～ 6 として、半導体基板 1 を用いて構成された半導体装置の構成について説明する。

A. 実施の形態 1

図 4 に実施の形態 1 に係る半導体装置 1 0 0 の構成を示す。図 4 に示すように半導体装置 1 0 0 は、図 1 を用いて説明した半導体基板 1 と、当該半導体基板 1 の凹部 9 の側面 9 1 上および底面 9 2 上を含めて第 2 の主面 M S 2 の全面に配設され、半導体基板 1 に対してオーミック接触（あるいはショットキー接触）する材料で構成された電極 M L とを備えている。

ここで、半導体基板 1 の材質がシリコンである場合、オーミック接触する材料としては、アルミニウム（A l）またはアルミニウムの合金が使用される。

また、半導体基板 1 の材質がシリコンである場合、ショットキー接触する材料としては、チタン（T i）、ハフニウム（H f）、ニッケル（N i）およびタングステン（W）等が使用される。

オーミック接触では、金属と半導体層との接合部にバリアが形成されず、双方向に電流を流すことができる。一方、ショットキー接触では、金属と半導体層との接合部にバリアが形成され、一方向には電流を流すことができるが、逆の方向には電流を流すことはできない。従って、ショットキー接触は、それ自体でダイオード（ショットキーダイオード）を構成することができる。

ここで、半導体基板 1 の凹部 9 を有する第 2 の主面に配設される電極 M L を、オーミック接触する材料で構成し、当該オーミック電極をコレクタ電極とする I G B T や、当該オーミック電極をアノード電極とするダイオードを構成することで、電流が流れている状態での素子抵抗を小さくでき、動作周波数が比較的低い低周波素子に適した構成となる。

また、電極MLを、ショットキー接触する材料で構成し、当該ショットキー電極をコレクタ電極とするIGBTや、当該ショットキー電極をアノード電極とするダイオードを構成することで、スイッチング時の電力損失が小さい素子を得ることができ、動作周波数が比較的高い高周波素子に適した構成となる。

なお、半導体基板1を用いることにより、先に説明した第1～第3の効果を奏することは言うまでもない。

B. 実施の形態2

図5に実施の形態2に係る半導体装置200の構成を示す。図5に示すように半導体装置200は、図1を用いて説明した半導体基板1と、半導体基板1の凹部9の表面内を含めて、第2の主面MS2の表面内に全面的に配設された半導体領域IP1とを有している。

ここで、半導体領域IP1の不純物濃度は、半導体基板1の不純物濃度に比べて高くなるように設定されている。

例えば、半導体基板1の不純物濃度が $1 \times 10^{13} / \text{cm}^3 \sim 1 \times 10^{15} / \text{cm}^3$ とすれば、半導体領域IP1の不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上に設定されている。

このように、高濃度の半導体領域IP1を、半導体基板1の凹部9を有する第2の主面MS2の表面内に形成することで、ショットキーバリアを薄くして、第2の主面MS2表面をオーミック接触に適した状態にすることができる。

従って、オン抵抗の低減と耐圧とを考慮して決定された厚みBを有する中央領域1Bに、素子特性に関係する電極、すなわちアノード、カソード、コレクタおよびドレイン等を形成することで、動作特性に優れたIGBTやダイオード、MOSFET (MOS field effect transistor) を得ることができる。

なお、半導体基板1を用いることにより、先に説明した第1～第3の効果を奏することは言うまでもない。

C. 実施の形態3

図6に実施の形態3に係る半導体装置300の構成を示す。図6に示すように半導体装置300は、図1を用いて説明した半導体基板1と、半導体基板1の凹部9の表面内を含めて、第2の主面MS2の表面内に全面的に配設された半導体

領域 I P 2 とを有している。

ここで、半導体領域 I P 2 の不純物の導電型は、半導体基板 1 の不純物の導電型とは逆の導電型に設定されている。

例えば、半導体基板 1 の不純物の導電型が N 型である場合には、半導体領域 I P 2 の不純物の導電型は P 型に設定する。これにより、第 2 の主面 M S 2 側がアノードとなったダイオードを得ることができる。

なお、半導体基板 1 の不純物の導電型と、半導体領域 I P 2 の不純物の導電型とを入れ替えた場合には、第 2 の主面 M S 2 側がカソードとなったダイオードを得ることができる。

なお、半導体基板 1 を用いることにより、先に説明した第 1 および第 2 の効果を奏することは言うまでもない。

D. 実施の形態 4

図 7 に実施の形態 4 に係る半導体装置 4 0 0 の構成を示す。図 7 に示すように半導体装置 4 0 0 は、図 1 を用いて説明した半導体基板 1 と、半導体基板 1 の凹部 9 の表面内を含めて、第 2 の主面 M S 2 の表面内に全面的に配設された半導体領域 I P 3 とを有している。

ここで、半導体領域 I P 3 の不純物の導電型は、半導体基板 1 の不純物の導電型と同じ導電型に設定されている。

例えば、半導体基板 1 の不純物の導電型が N 型である場合には、半導体領域 I P 3 の不純物の導電型は N 型に設定する。そして、第 1 の主面 M S 1 側に P 型の半導体領域（図示せず）を設けることで、第 2 の主面 M S 2 側がカソードとなったダイオードを得ることができる。

なお、半導体領域 I P 3 の不純物濃度を半導体基板 1 の不純物濃度よりも高く設定すれば、図 5 を用いて説明した実施の形態 2 と同様に、第 2 の主面 M S 2 表面をオーミック接触に適した状態にすることができる。

なお、半導体基板 1 を用いることにより、先に説明した第 1 および第 2 の効果を奏することは言うまでもない。

E. 実施の形態 5

図 8 に実施の形態 5 に係る半導体装置 5 0 0 の構成を示す。図 8 に示すように

半導体装置 500 は、図 1 を用いて説明した半導体基板 1 と、当該半導体基板 1 の凹部 9 の底面 9 2 上に配設された電極 ML 2 と、第 2 の主面 MS 2 側の周辺領域 1 A 上に配設された電極 ML 1 と、凹部 9 の側面 9 1 上に配設され、電極 ML 1 と ML 2 とを電氣的に絶縁する絶縁膜 IL とを備えている。

このように、半導体基板 1 の凹部 9 の底面 9 2 上に配設された電極 ML 2 と第 2 の主面 MS 2 側の周辺領域 1 A 上に配設された電極 ML 1 とを電氣的に絶縁することで、オン抵抗の低減と耐圧とを考慮して決定された厚み B を有する中央領域 1 B と周辺領域 1 A とで、異なる機能や特性を有する半導体素子を形成することができる。

F. 実施の形態 6

図 9 に実施の形態 6 に係る半導体装置 600 の構成を示す。図 9 に示すように半導体装置 600 は、図 1 を用いて説明した半導体基板 1 と、半導体基板 1 の凹部 9 の底面 9 2 の表面内に配設された半導体領域 IP 5 と、第 2 の主面 MS 2 側の周辺領域 1 A の表面内に配設された半導体領域 IP 4 と、凹部 9 の側面 9 1 上に配設され、半導体領域 IP 4 と IP 5 とを電氣的に絶縁する絶縁膜 IL とを備えている。

このように、半導体基板 1 の凹部 9 の底面 9 2 の表面内に配設された半導体領域 IP 5 と第 2 の主面 MS 2 側の周辺領域 1 A の表面内に配設された半導体領域 IP 4 とを電氣的に絶縁することで、オン抵抗の低減と耐圧とを考慮して決定された厚み B を有する中央領域 1 B と周辺領域 1 A とで、異なる機能や特性を有する複数の種類の半導体素子を形成することができる。

例えば、半導体基板 1 を高抵抗の N 型基板とし、第 1 の主面 MS 1 上に制御電極および第 1 の主電極を形成し、第 1 の主面 MS 1 側に N チャネル MOS トランジスタを形成する。そして、凹部 9 の底面 9 2 の表面内の半導体領域 IP 5 を P 型半導体領域とし、周辺領域 1 A の表面内の半導体領域 IP 4 を N 型半導体領域とし、半導体領域 IP 4 および IP 5 上にそれぞれ第 2 の主電極を配設する。

これにより、P 型の半導体領域 IP 5、N 型の半導体基板 1 および N チャネル MOS トランジスタで IGBT が構成され、N 型の半導体領域 IP 4、N 型の半導体基板 1 および N チャネル MOS トランジスタを構成する P 型半導体領域でダ

イオードが構成される。

なお、上記 IGBT および ダイオードは、第 1 および第 2 の主電極に与える電位を変えることで相補的に動作し、ハーフブリッジを構成することができる。

なお、半導体領域 IP 4 および IP 5 上の第 2 の主電極は、それぞれカソード電極およびコレクタ電極として動作するが、凹部 9 の面積を変えることで、カソード電極とコレクタ電極との面積比を変えることができる。

また、周辺領域 1 A に第 2 の主面 MS 2 側から、キャリアのライフタイム制御のためのエネルギー線（電子ビーム、イオンビーム等）を照射してライフタイム制御領域を形成し、周辺領域 1 A のみにおいてライフタイム制御を行うこともできる。これにより、IGBT の動作を損ねることなく、ダイオードのリカバリを低減させることも可能となる。

なお、半導体装置 600 の具体的な構成については、後に、実施の形態 7 においてさらに説明する。

G. 半導体基板の他の構成例

以上説明した実施の形態 1～6 においては、図 1 に示した 2 種類の厚みを有する半導体基板 1 を使用することを前提として説明したが、厚みの異なる領域を有する基板としては、図 1 に限定されるものではない。

例えば、図 10 に示す半導体基板 2 のように 3 種類の厚みを有した構成であっても良い。すなわち、第 1 の主面 MS 1 とは反対側の第 2 の主面 MS 2 に、異なる深さに底面 9 3 および 9 4 を有する 2 段構造の凹部 9 A を備えている。このため、半導体基板 2 は、厚み A の周辺領域 2 A（第 1 の領域）と、厚み B の第 1 中央領域 2 B（第 2 の領域）と、厚み C の第 2 中央領域 2 C とを有した構成となっている。

すなわち、周辺領域 2 A の厚み A が最も厚く、凹部 9 A の底面 9 3 から第 1 の主面 MS 1 にかけての垂直な方向の厚みが、最も薄い厚み B であり、凹部 9 A の底面 9 4 から第 1 の主面 MS 1 にかけての垂直な方向の厚みが厚み C であり、厚み A と厚み B の中間の厚みとなっている。

ここで、厚み A および厚み B は、半導体基板 1 と同様に 6 インチの半導体ウエハを例に採れば、それぞれ 500～650 μm および 60 μm に設定されており、

厚みCは、例えば、1200Vの耐圧の半導体装置を想定した場合120 μ mに設定される。

このように、半導体基板2は、異なる深さに底面93および94を有する凹部9Aを備えることで3種類の厚みを有することになり、形成される半導体素子の種類を増やすことができる。

また、図11に示す半導体基板3のように3種類の厚みを有した構成であっても良い。すなわち、第1の主面MS1とは反対側の第2の主面MS2に、深さの異なる凹部9および9Bを備えている。このため、半導体基板3は、厚みAの周辺領域3A（第1の領域）と、凹部9の位置に対応する厚みBの最薄領域3B（第2の領域）と、凹部9Bの位置に対応する厚みCの中間厚み領域3Cとを有した構成となっている。なお、厚みA、厚みBおよび厚みCの大小関係は半導体基板2と同様である。

以上、3種類の厚みを有する半導体基板について説明したが、3種類の厚みに限定されるものではなく、多段構造の凹部、あるいは深さの異なる複数の凹部を設けることで3種類以上の厚みを有した半導体基板を得ることができる。

また、2種類の厚みを有する半導体基板の構造としては、図1の半導体基板1に限定されるものでなく、図12に示すような構造であっても良い。

すなわち、図12に示す半導体基板4は、第2の主面MS2の一方のサイドに凹部9を有し、凹部9の位置に対応する厚みBの最薄領域4B（第2の領域）と、第1領域4Bの周囲の厚みAの周辺領域4A（第1の領域）とを有している。なお、凹部9が設けられたサイドとは逆のサイドは、凹部を有さず、単一の厚み厚みAだけの単一厚み領域4C（第1の領域）となっている。

このような構成の半導体基板4においては、最薄領域4Bおよび周辺領域4Aにおいては、半導体基板1と同様に基板の厚み方向に主電流が流れる半導体装置を形成し、単一厚み領域4Cにおいては、基板の平面方向に主電流が流れる半導体装置を形成することで、異なる機能や特性を有する複数種類の半導体素子を形成することができる。

また、半導体基板1の凹部9の平面形状は、図2を用いて説明したように周辺領域1Aで囲まれた矩形であったが、図13に示すようにストライプ状の形状で

あっても良い。すなわち、図 1 3 に示す半導体基板 5 は、その平行する 2 辺に沿う部分にのみ周辺領域 5 A（第 1 の領域）を有し、当該周辺領域 5 A に挟まれた領域が中央領域 5 B（第 2 の領域）であり、そこが凹部 9 0 の配設位置に対応しているため、凹部 9 0 はストライプ状となっている。なお、図 1 3 における Y-Y 線での矢示方向の断面が図 1 に相当する。

なお、半導体基板 1 のように凹部 9 の周囲を周辺領域 1 A で囲ったり、半導体基板 5 のように凹部 9 0 の両サイドに周辺領域 5 A を設けることで、凹部 9 や凹部 9 0 は基板のほぼ中央に位置することになる。従って、これらの半導体基板を用いて半導体チップを製作する場合に、ダイボンド時に当該半導体チップをダイパッド上に水平に搭載できる。すなわち、4 辺あるいは平行する 2 辺に設けられた周辺領域がダイパッドに接するので、半導体チップがダイパッドに対して傾くことがない。従って、ワイヤボンディングで配線を行う際に、ワイヤと半導体チップとを常に同じ角度でボンディングすることができ、均一なワイヤボンディングが実現できる。この結果、ボンディング部分の接触抵抗の不均一による電流集中を防止することができる。

なお、図 1 3 に示す半導体基板 5 を得るための半導体ウエハの平面構成を図 1 4 に示す。図 1 4 には、半導体ウエハ WF 2 においてストライプ状の凹部 9 0 を設けた状態を示しており、半導体ウエハ WF 2 の一方の主面に、ストライプ状の複数の凹部 9 0 が並列に配設されている。

この半導体ウエハ WF 2 を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板 5 を得ることができる。

H. ダイシングラインと凹部との関係

実施の形態 1 ～ 6 において説明した半導体装置 1 0 0 ～ 6 0 0 は、半導体ウエハの状態での製造過程（ウエハプロセス）が終了した後、所定のダイシングラインに従ってダイシングすることで個々に分割されて、独立したチップとなる。

例えば図 1 および図 2 に示した半導体基板 1 を用いる場合のダイシングラインと半導体基板 1 との位置関係は、図 1 5 に示すような関係となる。

すなわち、半導体基板 1 が縦方向のダイシングライン DL 1 と、横方向のダイシングライン DL 2 によって囲まれている。

ここで、図15におけるW-W線での断面図を図16に示す。図16に示すように、ダイシングラインDL1およびDL2の配設領域の厚みは、厚みAとなっており、ダイシング時にダイサーの刃が当たって力が加わった場合でも、半導体基板1が撓むことが防止され、撓みによって半導体基板1が破損したり、ダイシングラインが歪んだりすることを防止できる。

図17に半導体基板1を得るための半導体ウエハWF1に対してダイシングラインDL1およびDL2を設定した状態の平面図を示す。

また、図18には半導体基板5を得るための半導体ウエハWF2に対してダイシングラインDL1およびDL2を設定した状態の平面図を示す。

なお、図18に示す半導体ウエハWF2においては、縦方向のダイシングラインDL2は、ストライプ状の凹部90上を横断しており、厚みの薄い部分を切断することになるが、先に説明したように凹部90の両サイドは厚い周辺領域1Aとなっているので、ダイシング時に半導体基板1が撓むことは防止される。

I. フィールドコンタクトリングと凹部との関係

実施の形態1～6において説明した半導体装置100～600では、第1の主面の構造については特に言及しなかったが、高電圧の半導体装置においては、半導体チップの周辺部での電界を緩和するために、第1の主面の表面内に、フィールドコンタクトリング（フィールドリミットリングとも呼称される）を有した構成が多い。

フィールドコンタクトリングは、基板との間で接合を形成するように、基板の導電型とは反対の導電型の不純物を含んで構成され、ほぼ基板形状に沿った電界を緩和する必要から、厚みの厚い領域に設けることが望ましく、凹部によって厚みが薄くなった領域が、フィールドコンタクトリングにとって必ずしも最適な領域とは言えない場合がある。

そこで、図19に示すようにフィールドコンタクトリングFCRを、凹部9を囲む周辺領域1Aに設けることで基板主面に垂直な方向の電界の緩和を有効に行うことができる。

図19におけるZ-Z線での断面図を図20に示す。図20に示すように、フィールドコンタクトリングFCRの下部には、十分な厚みが確保されているので、

過渡的な空乏層の延びに対するマージンを得ることができる。

なお、図13を用いて説明したストライプ状の凹部90を有する半導体基板5においても、フィールドコンタクトリングFCRを設けることは不可能ではない。すなわち、凹部90の位置に対応する中央領域5Bの厚みBが、フィールドコンタクトリングFCRの形成深さよりも厚ければフィールドコンタクトリングFCRを設けることができるので、半導体基板5の周辺領域5Aだけでなく中央領域5Bを横断するようにフィールドコンタクトリングFCRを設けることができる。

なお、図19においては、フィールドコンタクトリングFCRによって囲まれる凹部9は1つだけであったが、図11を用いて説明した半導体基板3のように、複数の凹部を有する構成においてもフィールドコンタクトリングを設けることは可能である。

図21には、フィールドコンタクトリングFCRによって囲まれた領域に2つの凹部19を有した半導体基板6の構成を示す。図21において、凹部19の形成領域以外の領域は厚みが厚い領域であり、図21におけるU-U線での矢示方向断面は図11を用いて説明した半導体基板3の断面構造に相当し、V-V線での矢示方向断面が図12を用いて説明した半導体基板4の断面構造に相当すると言うこともできる。

図21に示す半導体基板6のように、複数の凹部を有する半導体基板を得るための半導体ウエハの平面構成を図22に示す。図22には、半導体ウエハWF3において各チップに対応する位置に、それぞれ複数の凹部19を設けた状態を示しており、半導体ウエハWF3の一方の主面に、複数の凹部19がマトリクス状に配設されている。この半導体ウエハWF3を所定のダイシングラインに従ってダイシングすることで、複数の半導体基板6を得ることができる。

なお、半導体基板に設ける凹部は、2つに限定されるものでもなく、また、全てが同じ形状に限定されるものでもなく、それぞれの配設位置が対称な位置関係に限定されるものでもない。

例えば、図23に示す半導体基板60は、平面形状が矩形の凹部191および192、平面形状がL字形の凹部193を有している。凹部191と凹部192とは、形状は矩形でも面積は異なり、凹部191は1つであるが、凹部192は

複数設けられている。

これらの凹部を有する半導体基板を得るための半導体ウエハの平面構成は、複数の点状の凹部が半導体ウエハの主面一面に密集したような構成となる。

J. 半導体基板の変形例

以上説明した半導体基板1～6においては、凹部を構成する側面が基板主面に対して垂直をなすように形成されていた。そのため、第2の主面側から凹部を見た場合、凹部の側面は見ることはできなかった。

しかし、図24に示す半導体基板7の凹部9Cのように、凹部9Cを構成する側面96が、基板主面に対して 90° を超える角度 θ をなすように構成しても良い。これにより、第2の主面側から凹部を見た場合、凹部の側面を見ることができるようになる。ここで、周辺領域7A（第1の領域）は厚みAを有し、中央領域7Bは厚みB（第2の領域）を有する。

なお、図24においては、底面95に対する側面96の傾斜角度を角度 θ として示しているが、これは底面95が基板主面と平行であることを前提としての便宜的な表示である。なお、角度 θ の最大値は 175° 程度である。

このように、側面96の傾斜角度を 90° を超える角度とすることで、凹部9Cが形成された状態の半導体ウエハをスライドさせて搬送するような場合に、凹部9Cの角部が搬送装置の何れかの突起部に引っかかることによる搬送エラーや、角部の欠損を防止できる。

また、凹部9Cの底面95の隅に汚染物質や、余分な堆積物が蓄積することも防止できる。

また、図4に示すように、第2の主面MS2の全面に電極MLを形成する場合や、図5に示すように、第2の主面MS2の表面内に半導体領域IP1を形成する場合には、側面に対する電極MLや半導体領域IP1の形成が容易となる。

なお、図8に示すように、側面上に絶縁膜ILを形成するような場合にも、絶縁膜ILの形成が容易になることは言うまでもない。

K. 実施の形態7

図11を用いて説明した半導体基板3のように深さの異なる複数の凹部を有することで、複数の厚みを有する半導体基板を得ることができるが、図25に示す

ように、同じ深さの凹部を複数設けることで、同種類の複数の素子を形成するような構成としても良い。

すなわち、図25に示す半導体基板8は、第1の主面MS1とは反対側の第2の主面MS2に、側面97および底面98で規定される凹部9Dを複数備えている。このため、凹部9Dの位置に対応する厚みBの凹部領域8B（第2の領域）と、凹部領域8B以外で厚みAのメサ領域8A（第1の領域）とを有した構成となっている。

図26に半導体基板8を第2の主面側から見た平面形状の一例を示す。図26に示すように、凹部9Dの平面形状はストライプ状であり、複数のストライプ状の凹部9Dが半導体基板8の主面内に並列に配設されている。なお図26において、複数の凹部9Dを横切るように切断した断面が図26の断面構造に相当する。

なお、半導体基板8の平面形状の他の例を図27に示す。図27に示すように、凹部9Dの平面形状は矩形状であり、複数の矩形状の凹部9Dが半導体基板8の主面内にマトリクス状に配設されている。

K-1. 装置構成

以下、本発明に係る実施の形態7においては、図25に示す半導体基板8を用いて構成された半導体装置700の構成について説明する。なお、半導体基板8の平面形状としては図26に示す形状を想定する。

図28に本発明に係る実施の形態6の半導体装置700の断面構成を示す。なお、図28に示す断面構成は、図25に示す半導体基板8における1つの凹部9Dに対応して形成される半導体装置の構成を示している。なお、半導体基板8は高比抵抗のN型基板として扱うものとする。

図28に示す半導体装置700においては、半導体基板8の第1の主面MS1の表面内に全面に渡ってP型半導体領域902が形成されている。

そして、第1の主面MS1の表面からP型半導体領域902を貫通して半導体基板8内に達する2つのトレンチ903が設けられ、トレンチ903の内壁面はゲート絶縁膜904によって覆われている。さらに、ゲート絶縁膜904によって囲まれたトレンチ903内の領域には導電体が埋め込まれてゲート電極905を構成している。

また、P型半導体領域902の表面内には、ゲート絶縁膜904に少なくとも一部が接するように選択的に形成された比較的高濃度のN型半導体領域906が配設されている。N型半導体領域906は2つのトレンチ903のそれぞれの面サイドに設けられているが、トレンチ間において対向するN型半導体領域906の間には比較的高濃度のP型半導体領域907が設けられている。なお、P型半導体領域907は、P型半導体領域902に対する良好な電氣的コンタクトを得るための構成である。

そして、互いに隣接するN型半導体領域906およびP型半導体領域907の上部に接するように第1の主電極908が配設されている。

第1の主電極908はN型半導体領域906およびP型半導体領域907に、外部端子ETから電位を与える電極である。なお、第1の主電極908は半導体装置700の動作に応じて、エミッタ電極として機能する場合もあれば、アノード電極またはソース電極として機能する場合もある。また、ゲート電極905には外部端子GTから制御電圧が与えられる。

また、半導体基板8の第2の主面MS2に設けられた凹部9Dにおいては、底面98に対応する半導体基板8の表面内にP型コレクタ領域912が設けられている。

また、第2の主面MS2側のメサ領域8Aの表面内には、N型半導体領域913が設けられている。そして、凹部9Dの側面には側壁絶縁膜914が設けられており、P型コレクタ領域912とN型半導体領域913との基板表面での電氣的な分離を行う構成となっている。

そして、P型コレクタ領域912およびN型半導体領域913に接するように第2の主電極916aおよび第3の主電極916bが配設されている。

第2の主電極916aは、P型コレクタ領域912に外部端子CTから電位を与える電極であり、第3の主電極916bはN型半導体領域913に外部端子KTから電位を与える電極である。なお、第2の主電極916aは、コレクタ電極として機能し、第3の主電極916bは、半導体装置700の動作に応じて、カソード電極として機能する場合もあれば、ドレイン電極として機能する場合もある。

また、メサ領域 8 A 内の第 2 の主面 MS 2 寄りの位置に、キャリアのライフタイムが短くなったライフタイム制御領域 9 1 5 が設けられている。当該領域は、電子ビームやプロトン、He 等のイオンビームの照射により形成される領域である。

ここで、半導体装置 7 0 0 は、第 1 ～ 第 3 の主電極に与える電圧条件により IGBT、ダイオードおよび MOSFET として動作する。すなわち、外部端子 ET が接地電位、外部端子 CT が正電位の場合、外部端子 GT に与えられる信号に従って IGBT として動作する。

また、外部端子 ET が接地電位、外部端子 KT が負電位、外部端子 GT にオフ信号が与えられた場合はダイオードとして動作する。

また、外部端子 ET が接地電位、外部端子 KT が正電位の場合、外部端子に与えられる信号に従って MOSFET として動作する。

半導体装置 7 0 0 では、外部端子 CT と外部端子 KT とが同一の正電位である場合、IGBT として動作するように P 型コレクタ領域 9 1 2 と N 型半導体領域 9 1 3 (カソード領域) との距離が離れているように設定されている。すなわち、カソードに、設定された微小電流が流れた場合に、コレクタ領域近傍での半導体基板の電位が PN 接合の仕事関数差以上になっているように、その間の距離 (すなわち抵抗値) が設定されている。

図 2 8 では、第 2 の主電極 9 1 6 a および第 3 の主電極 9 1 6 b を互いに独立した電極とした構成を示したが、上記条件を満たす限り、共通に接続された電極としても良い。

ここで、IGBT として動作する場合、第 1 の主電極 9 0 8 はエミッタ電極となり、第 2 の主電極 9 1 6 a はコレクタ電極となり、第 1 の主面 MS 1 に形成された N 型半導体領域 9 0 6 はエミッタ領域、P 型半導体領域 9 0 2 はチャネル領域を含むボディ領域となり、P 型半導体領域 9 0 7 はボディコンタクト領域となる。

また、ダイオードとして動作する場合、第 1 の主電極 9 0 8 はアノード電極となり、第 3 の主電極 9 1 6 b はカソード電極となり、第 1 の主面 MS 1 に形成され P 型半導体領域 9 0 2 はアノード領域、P 型半導体領域 9 0 7 はアノードコン

タクト領域、第2の主面MS2側のメサ領域8Aの表面内に設けられたN型半導体領域913はカソード領域となる。

また、MOSFETとして動作する場合、第1の主電極908は、ソース電極となり、第3の主電極916bはドレイン電極となり、N型半導体領域906はソース領域となり、P型半導体領域902はチャネル領域を含むボディ領域となり、P型半導体領域907はボディコンタクト領域、N型半導体領域913はドレイン領域となる。

K-2. 製造方法

以下、製造工程を順に示す断面図である図29～図33を用いて半導体装置700の製造方法を説明する。

まず、図28を用いて半導体基板8および第1の主面MS1側の構成の製造工程を説明する。

なお、第1の主面MS1側の構成は、従来より公知の一般的なIGBTまたはMOSFETと同様の製造工程を経て形成されるので、公知の技術について説明を省略する。

高比抵抗のN型の半導体基板8は、耐圧クラスによってその比抵抗や、P型コレクタ領域912の底部とトレンチ903の底部との距離Lが異なるが、例えば耐圧1200Vクラスの場合は、比抵抗は $40 \sim 60 \Omega \cdot \text{cm}$ 、距離Lは $100 \sim 200 \mu\text{m}$ 程度に設定され、それよりも耐圧クラスが低ければ比抵抗は低くなり、距離Lは短くなる。

P型半導体領域902は、MOSFETおよびIGBTとして動作する場合は、チャネル領域を含んだボディ領域となるので、MOSFETまたはIGBTの閾値電圧に基づいて不純物濃度や深さが設定される。

なお、不純物濃度や拡散深さは、イオン注入条件や、熱拡散条件により決定される。例えば、不純物濃度は、通常はMOSFETのソース電極またはIGBTのエミッタ電極と接する領域で、 $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ となるように設定され、拡散深さはトレンチ溝903を越えない程度に、数 μm の深さに設定される。

また、トレンチ903は、 $2 \sim 10 \mu\text{m}$ のピッチでエッチングにより設けられ、

幅は $0.5 \sim 3.0 \mu\text{m}$ 、深さは $3 \sim 20 \mu\text{m}$ に設定される。

トレンチ903の内壁表面に配設されるゲート絶縁膜904は、MOSFETを構成する絶縁膜であり、ゲート駆動電圧や飽和電流、容量等に基づいて最適な厚みとなるように設定される。一般的には $10 \sim 200 \text{ nm}$ の厚さのシリコン酸化膜が使用され、熱酸化や堆積等により形成される。

トレンチ903内に埋め込まれたゲート電極905は、高不純物濃度の多結晶シリコン膜や、例えばタングステンシリサイド等の高融点金属材料、あるいはそれらの多層膜で構成される。一般的には、トレンチ903の幅の半分以上の厚さの導電膜を第1の主面MS1上に堆積した後、異方性エッチング等により平坦化して得られるが、写真製版により所定パターンのマスクを形成した後、導電膜を堆積し、エッチングを行って得ることもできる。

ここで、ゲート電極905の材料の仕事関数値により、P型半導体領域902の最適濃度は変わり、極端な場合、トレンチ903側面に沿ってN型半導体領域を設け、ゲート絶縁膜に接した領域に、エミッタ領域と同一導電型(N型)の薄い層を設けたペリッドチャネル構造とする場合もある。

N型半導体領域906、P型半導体領域907は、何れも写真製版によるパターンニングとイオン注入によって形成され、表面濃度が例えば $1 \times 10^{20} / \text{cm}^3$ 以上に設定される。

第1の主電極908は、N型半導体領域906およびP型半導体領域907を覆うように形成された層間絶縁膜(図示せず)を写真製版とエッチングにより選択的に開口し、例えばアルミニウムとシリコンの化合物で構成される導電膜を堆積して形成される。

また、第1の主電極908上に図示していない保護膜が形成され、上記保護膜の所定部分に設けられた開口孔部を介して外部電源に接続される。

次に、図29～図33を用いて第2の主面MS2側の構成の製造工程を説明する。なお、以下の説明では、第1の主面MS1側においては、第1の主電極908より下層の構成は形成済みであるものとする。

まず、第1の主面MS1側に第1の主電極908より下層の構成を形成した後、図29に示す工程において、第1の主面MS1上をレジストマスクRM1で覆う。

そして、第2の主面MS2上には凹部9Dを設けるための開口部を有するレジストマスクRM2を形成し、当該レジストマスクRM2を用いて異方性エッチングにより半導体基板8をエッチングして凹部9Dを形成する。

凹部9Dの深さは、半導体装置700の耐圧クラスや、半導体基板8の最終厚み、およびコスト等に基づいて最適化された値となるように設定される。なお、コストの許す範囲で、前述したようにP型コレクタ領域912とトレンチ903の底部との距離L（図28参照）が、例えば耐圧1200Vクラスでは100～200 μm となるように設定され、それよりも耐圧クラスが低ければ距離Lは短くなるように設定される。

なお、凹部9Dの深さの最小値は、IGBTのコレクタとしてのP型コレクタ領域912、MOSFETとしてのドレイン領域913（図28参照）に同一電位を与え、ゲート電極905にチャネルがONする条件の電圧を印加した場合に、IGBT動作するように設定される。

従って、凹部9Dの深さは半導体基板8のメサ領域8Aの比抵抗、P型コレクタ領域912の不純物濃度、P型コレクタ領域912とN型半導体領域913との面積比、定格電流密度、また、MOSFET動作からIGBT動作に変化する際の電圧と電流の関係の許容範囲、すなわちスナップバックの許容範囲等に基づいて設定される。

なお、凹部9Dの幅やピッチは任意に設定でき、幅は0.2～100 μm が代表値であるが、上述したように、P型コレクタ領域912とN型半導体領域913との面積比にアンバランスが生じないように設定される。

また、凹部9Dの形成のタイミングは上記に限定されるものではないが、一般的に重金属で構成される電極材料による金属汚染等を考慮すれば、第1の主電極908を形成する前が望ましい。

次に、レジストマスクRM2を除去した後、図30に示す工程において、第2の主面の全面に絶縁膜IL1を形成する。絶縁膜IL1は、選択酸化や堆積によって形成される。

そして、図31に示す工程において、凹部9Dの側面97のみに側壁絶縁膜914として残るように異方性エッチングを行う。

なお、側壁絶縁膜 9 1 4 は、P 型コレクタ領域 9 1 2 や N 型半導体領域 9 1 3 の形成前後の何れで形成しても良いが、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 の形成に際しては、凹部 9 D の側面 9 7 に対応する領域に、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 に注入される不純物の、数%~数十%に相当する量の不純物が注入される可能性があるので、N 型半導体領域 9 1 3 および P 型コレクタ領域 9 1 2 の形成前に側壁絶縁膜 9 1 4 を形成することが望ましい。

次に、第 2 の主面 MS 2 側のメサ領域 8 A の表面内にイオン注入により N 型半導体領域 9 1 3 を形成した後、図 3 2 に示す工程において、第 2 の主面 MS 2 上に、凹部 9 D に対応する部分か開口部となったレジストマスク RM 3 を配設する。そして、凹部 9 D の底面 9 8 に対応する半導体基板 8 の表面内にイオン注入により P 型コレクタ領域 9 1 2 を形成する。P 型コレクタ領域 9 1 2 の形成に際してのイオン注入は、基板を傾けて回転させることで斜め方向から注入する斜め回転注入を採用することが望ましい。

なお、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 の形成順序はどちらでも良く、何れの不純物濃度も $1 \times 10^{16} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲に設定される。

次に、レジストマスク RM 3 を除去した後、図 3 3 に示す工程において、凹部 9 D 内をレジストマスク RM 4 で覆った後、第 2 の主面 MS 2 側から、電子線、プロトンあるいは He イオン等を照射することで、メサ領域 8 A 内の第 2 の主面 MS 2 寄りの位置に結晶欠陥領域を作り、キャリアのライフタイムを短くしたライフタイム制御領域 9 1 5 を形成する。

なお、ライフタイム制御領域 9 1 5 の形成のタイミングは上記に限定されるものではないが、ライフタイム制御領域 9 1 5 のアニールによる活性化の程度は、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 の活性化の程度よりも小さくて良いので、P 型コレクタ領域 9 1 2 および N 型半導体領域 9 1 3 のアニール後に形成することが望ましい。

ライフタイム制御領域 9 1 5 は、半導体装置 7 0 0 がダイオードとして動作する場合、キャリア増幅率を抑制し、リカバリ特性を向上させることができる。

以後、レジストマスクRM1およびRM4を除去した後、第1の主面MS1上においては第1の主電極908を、第2の主面上においては第2の主電極916aおよび第3の主電極916bを形成することで半導体装置700が完成する。

なお、第2の主電極916aおよび第3の主電極916bは、金や銀を含む多層金属膜で構成するので、金属汚染を防止するため、ウエハプロセスの最終工程で形成することが望ましい。

L. 応用例

実施の形態7として説明した半導体装置700においては、第1の主面MS1側に、一般的なトレンチ型素子を形成した構成を示したが、第1の主面MS1側にトレンチ型素子を変形した構成を採用しても良く、また平面型素子を採用しても良い。また、トランジスタ構造ではなくサイリスタ構造を採用しても良い。

また、半導体装置700においては、半導体基板8がN型であることを前提としたが、P型であっても良いことは言うまでもない。

さらに、半導体装置700では凹部9Dの底面にP型コレクタ領域912を設けているが、凹部9Dの底面の結晶性の粗さ等によっては、凹部9Dの底面がP型不純物を導入しなくても実質的にP型領域として機能する場合には、P型コレクタ領域は省略しても良い。

なお、底面の粗さについては、その粗さが粗いほどP型に近い特性となり、P型不純物を導入する場合でも、凹部底面が粗いほど、鋭角部でのキャリア放出エネルギーが小さくなるので、ホールの注入が起こりやすくなることができ、オン電圧を下げることができる。

このように、P型コレクタ領域を形成する領域の表面粗さを粗くすることによるオン電圧の低減効果は、半導体基板8の第2の主面MS2に凹部がなく、P型コレクタ領域の深さが $2.0\mu\text{m}$ 以下の、いわゆるNPT（ノンパンチスルー）型IGBTに対しても適用可能である。

また、半導体装置700においては、第2の主電極916aおよび第3の主電極916bを、それぞれ外部端子CTおよび外部端子KTに接続する構成を示したが、第2の主電極916aと第3の主電極916bとを側壁絶縁膜914上を介して接続した構成としても良い。

また、半導体装置 700 では、ダイオードとしてのリカバリを抑制するため、ライフタイム制御領域 915 を設けたが、半導体装置 700 の仕様によっては省略できる場合もある。

逆に、P 型コレクタ領域 912 の不純物濃度によっては、ライフタイム制御領域 915 を P 型コレクタ領域 912 よりも第 1 の主面 MS1 側寄りの位置にも設けることが望ましい場合もある、また、半導体基板 8 のほぼ全域に渡ってライフタイム制御領域を設ける場合もある。

この発明は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

請求の範囲

1. 半導体基板（1～8）の第1の主面（MS1）に設けられた第1の主電極と、

前記半導体基板（1～8）の第2の主面（MS2）に設けられた第2の主電極とを備え、前記半導体基板（1～8）の厚み方向に主電流が流れる半導体装置において、

前記半導体基板（1～8）は、前記第2の主面（MS2）に設けられた少なくとも1つの凹部（9，9A～9D）を有することで、第1の厚み（A）を有する第1の領域と、前記第1の厚みよりも薄い第2の厚み（B）を有する第2の領域とを少なくとも備え、

前記第2の領域は、前記少なくとも1つの凹部（9，9A～9D）の形成領域に対応し、

前記第2の主電極は前記凹部（9，9A～9D）内に配設され、

前記第2の厚みは、前記半導体装置の耐圧を維持する厚みに設定されることを特徴とする半導体装置。

2. <実施の形態1、図4>

前記第2の主電極（ML）は、前記半導体基板（1）とオーミック接触あるいはショットキー接触する材料で構成される、請求の範囲1記載の半導体装置。

3. <実施の形態2、図5>

前記少なくとも1つの凹部（9）の底面に対応する前記半導体基板（1）の表面内に配設され、前記半導体基板（1）の不純物濃度よりも高い不純物濃度を有する半導体領域（IP1，IP2，IP3）をさらに備える、請求の範囲1記載の半導体装置。

4. <実施の形態3、図6>

前記半導体領域（IP2）の導電型は、前記半導体基板（1）の導電型とは逆の導電型である、請求の範囲3記載の半導体装置。

5. <実施の形態4、図7>

前記半導体領域（IP3）の導電型は、前記半導体基板の導電型と同じ導電型である、請求の範囲3記載の半導体装置。

6. <図2対応>

前記凹部(9)は、前記半導体装置のほぼ中央部に配設される、請求の範囲1記載の半導体装置。

7. <実施の形態5、図8, 9>

前記凹部(9)の側面に対応する前記半導体基板(1)の表面に配設された絶縁膜(IL)をさらに備える、請求の範囲1記載の半導体装置。

8. <図21対応>

前記半導体基板(1)の前記第1の主面(MS1)の表面内に設けられ、前記半導体装置の周辺部での電界を緩和するフィールドコンタクトリング(FCR)をさらに備え、

前記第2の領域は、前記フィールドコンタクトリング(FCR)で囲まれる領域に配設される、請求の範囲1記載の半導体装置。

9. 前記フィールドコンタクトリング(FCR)は、前記第1の領域に対応する前記半導体基板(1)の前記第1の主面(MS1)の表面内に配設される、請求の範囲8記載の半導体装置。

10. <図24対応>

前記凹部(9C)の側面は、前記第2の主面(MS2)に対して90°を超える角度で傾斜する、請求の範囲1記載の半導体装置。

11. <実施の形態7、図28>

前記半導体基板(8)は第1の導電型であって、

前記半導体基板(8)の前記第1の主面(MS1)の表面内に全面に渡って配設された第2導電型の第1の半導体領域(902)と、

前記第1の主面(MS1)の表面から前記第1の半導体領域(902)を貫通するように配設されたトレンチ(903)と、

前記トレンチ(903)の内壁面を覆うゲート絶縁膜(904)と、

前記ゲート絶縁膜(904)によって囲まれた前記トレンチ(903)内に埋め込まれたゲート電極(905)と、

前記第1の半導体領域(902)の表面内に選択的に配設され、前記ゲート絶縁膜(904)に一部が接する比較的高濃度の第1導電型の第2の半導体領域

(906)と、

前記凹部の底面(98)に対応する前記半導体基板(8)の表面内に設けられた、第2導電型の第3の半導体領域(912)と、

前記第2の主面(MS2)側の前記第1の領域の表面内に設けられた第1導電型の第4の半導体領域(913)と、

前記第4の半導体領域(913)に接するように設けられた第3の主電極(916b)と、をさらに備え、

前記第1の主電極(908)は、前記第2の半導体領域(906)に接するように配設され、

前記第2の主電極(916a)は、前記第3の半導体領域(912)に接するように設けられる、請求の範囲1記載の半導体装置。

12. 前記第1の領域において前記第3の半導体領域(912)よりも前記第2の主面(MS2)寄りの位置に設けられた、キャリアのライフタイムが短くなったライフタイム制御領域(915)をさらに備える、請求の範囲11記載の半導体装置。

13. 前記第1の領域において前記第3の半導体領域(912)よりも前記第1の主面(MS1)寄りの位置に設けられた、キャリアのライフタイムが短くなったライフタイム制御領域(915)をさらに備える、請求の範囲11記載の半導体装置。

14. 前記凹部(9D)の側面に対応する前記半導体基板(8)の表面に配設された絶縁膜(914)をさらに備える、請求の範囲11記載の半導体装置。

15. 前記凹部(9D)の深さは、前記第3の半導体領域(912)の底部と前記トレンチ(903)の底部との距離が100~200 μm となるように設定される、請求の範囲11記載の半導体装置。

16. 前記凹部(9D)の幅は、0.2~100 μm の範囲に設定される、請求の範囲11記載の半導体装置。

17. 前記第1の厚み(A)は、500~650 μm の範囲に設定され、

前記第2の厚み(B)は60 μm 程度に設定される、請求の範囲1記載の半導体装置。

要 約 書

本発明は半導体装置に関し、特に半導体基板の厚み方向に主電流が流れる半導体装置において、性能と耐圧だけでなく、半導体基板の機械的な強度も満足でき、また写真製版工程に際して露光装置等の調整の手間が不要な半導体装置を提供することを目的とする。

そして、上記目的を達成するために、第1の主面(MS1)とは反対側の第2の主面(MS2)に、側面(91)および底面(92)によって規定される凹部(9)を有した半導体基板(1)と、半導体基板(1)の凹部(9)の底面(92)の表面内に配設された半導体領域(IP5)と、第2の主面(MS2)側の周辺領域1Aの表面内に配設された半導体領域(IP4)と、凹部(9)の側面(91)上に配設され、半導体領域(IP4)と(IP5)とを電氣的に絶縁する絶縁膜(IL)とを備えている。

図 1

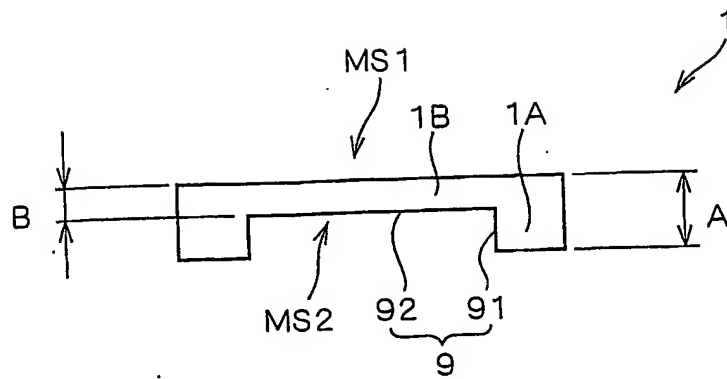
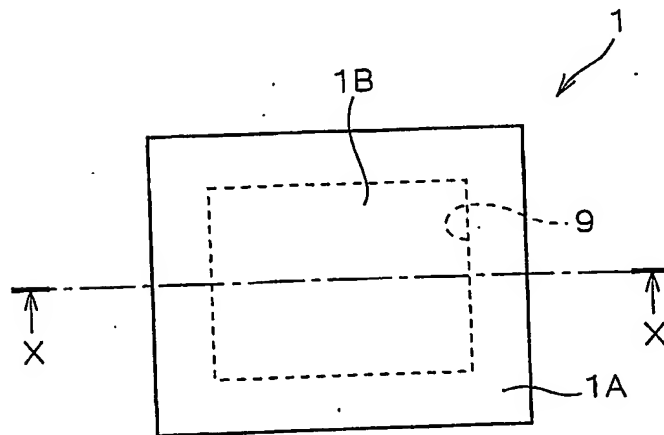
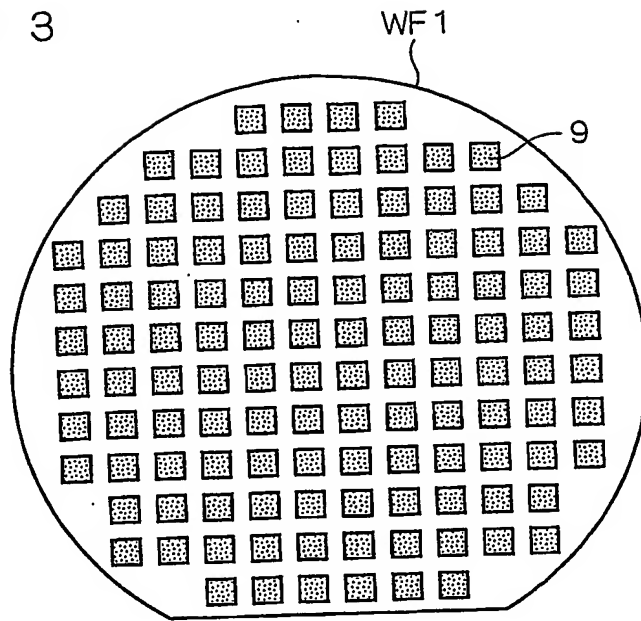


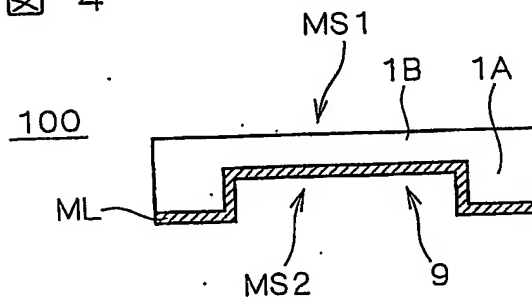
図 2



3



4



5

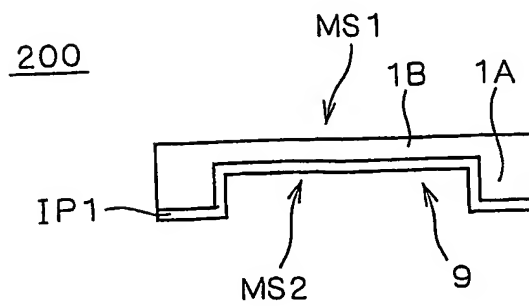


図 6

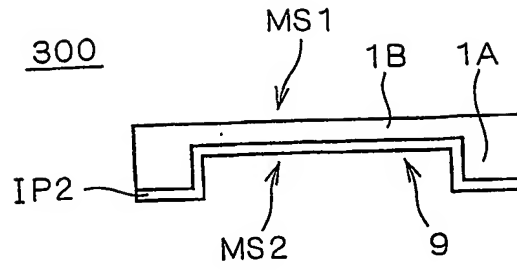


図 7

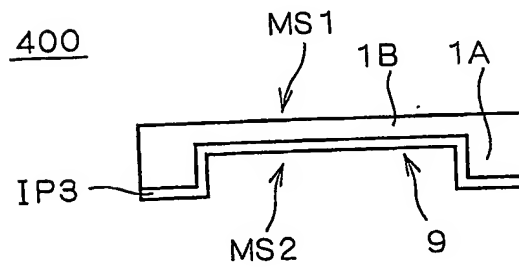
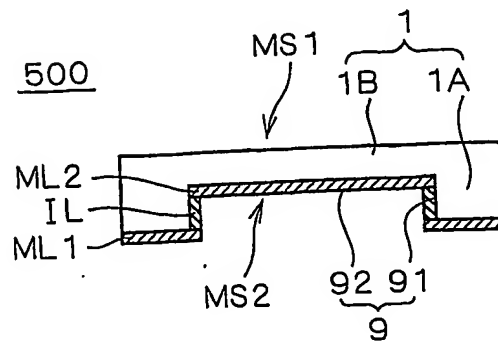
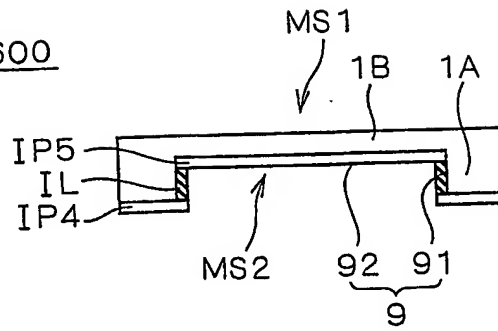


図 8

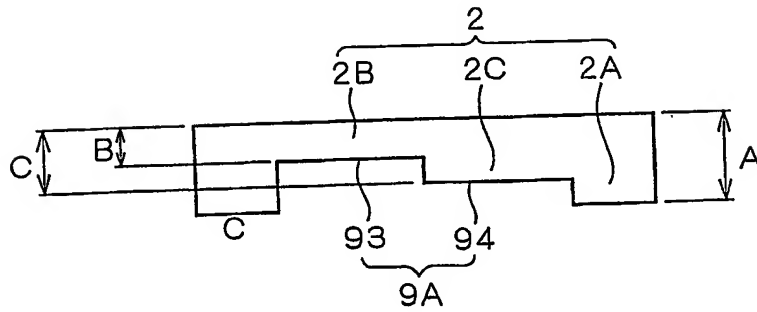


☒ 9

600



☒ 1 0



☒ 1 1

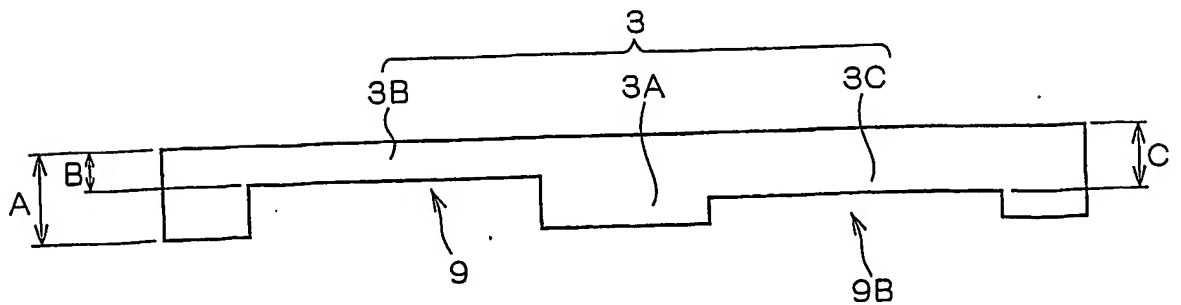


図 1 2

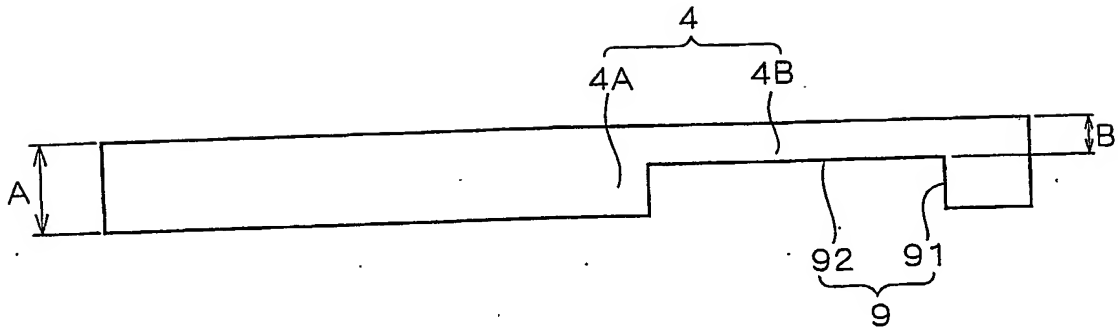
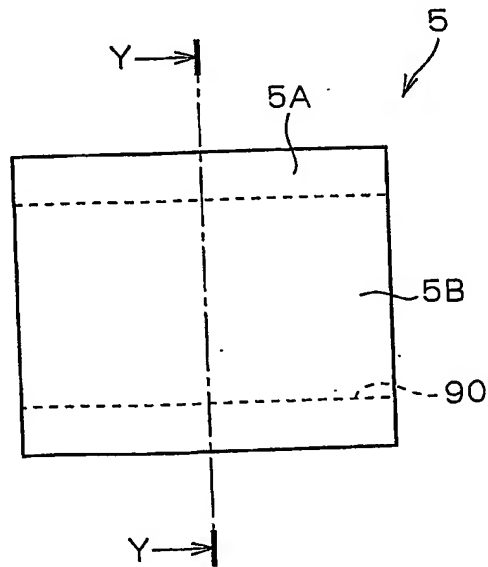
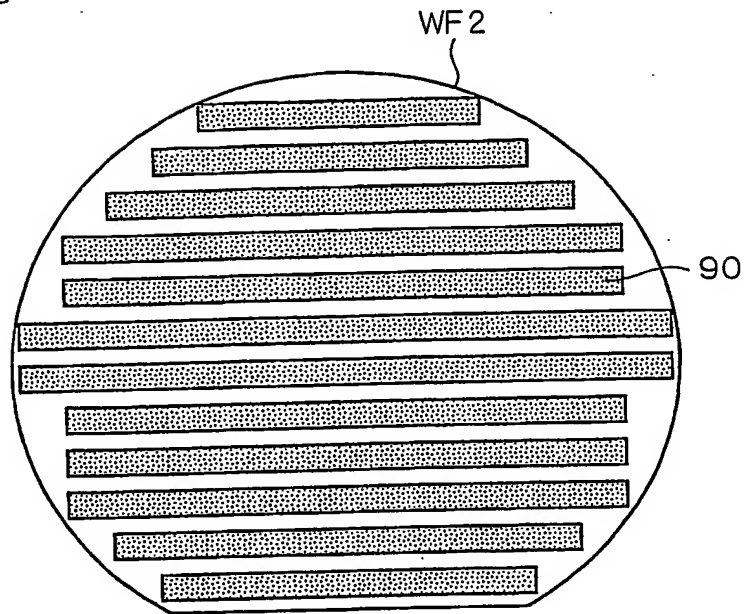


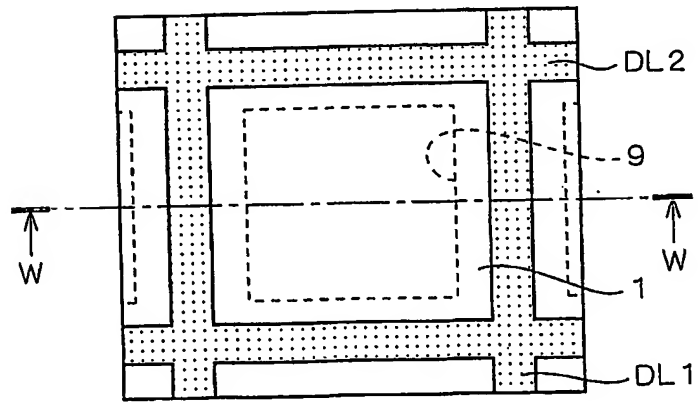
図 1 3



☒ 1 4



☒ 1 5



☒ 1 6

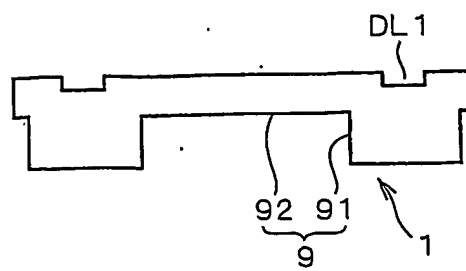


図 1 7

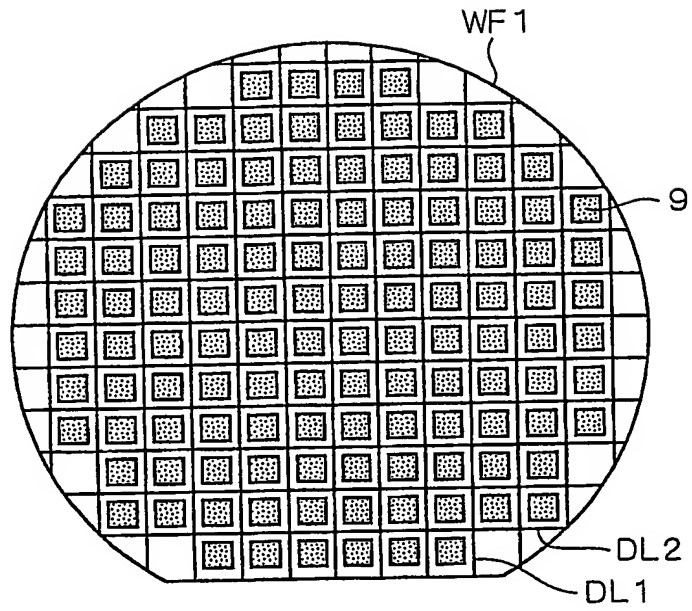
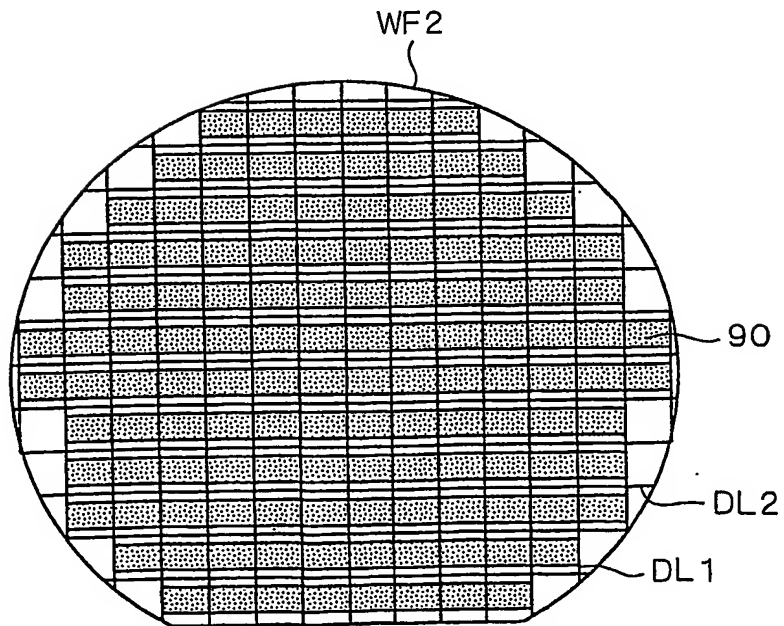
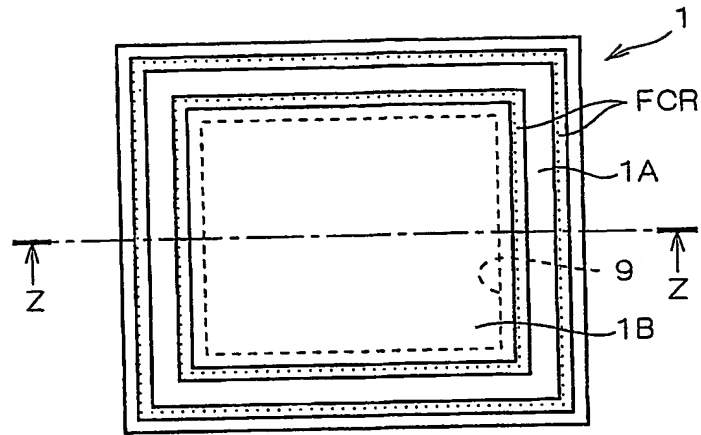


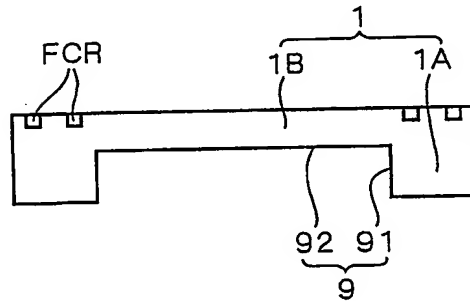
図 1 8



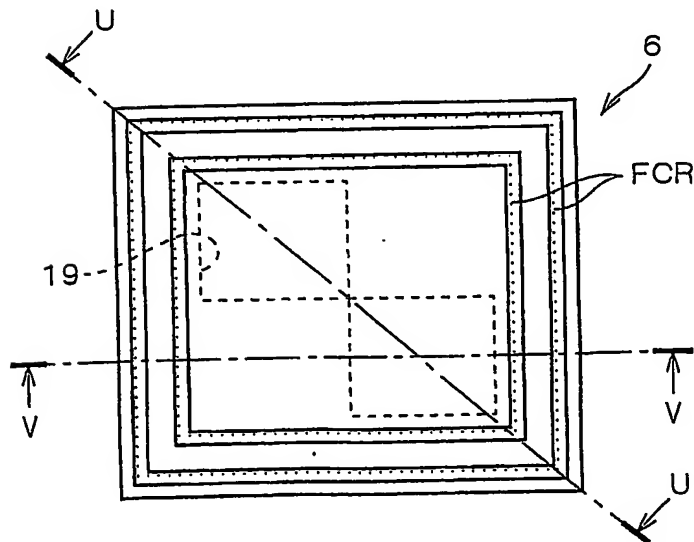
19



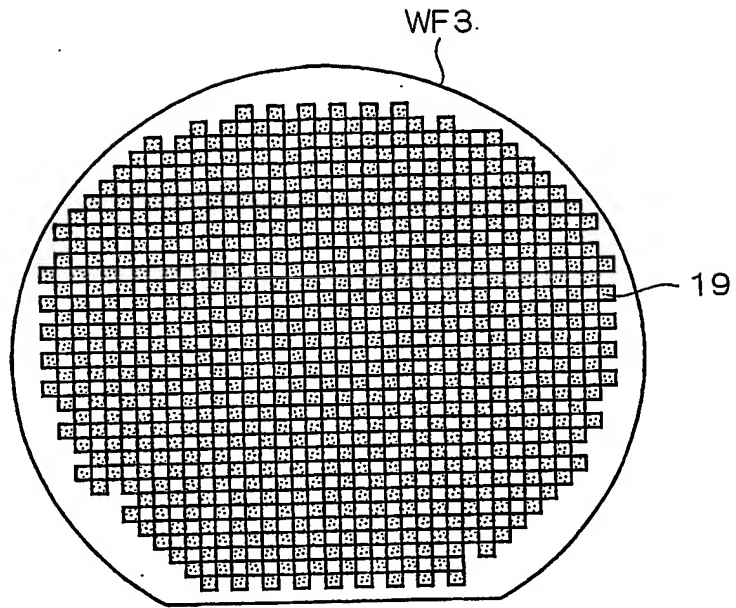
20



21



☒ 2 2



☒ 2 3

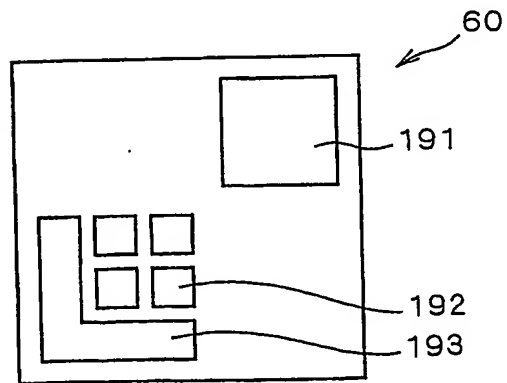


図 2 4

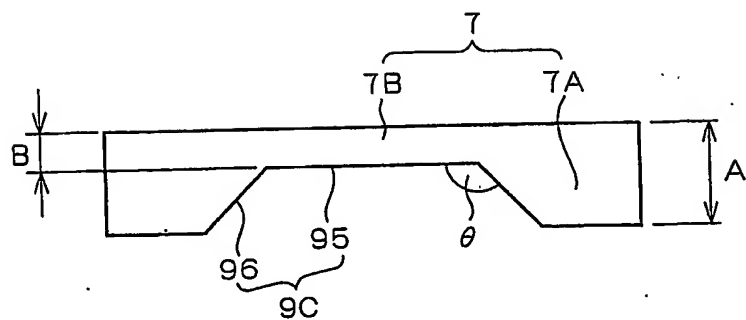
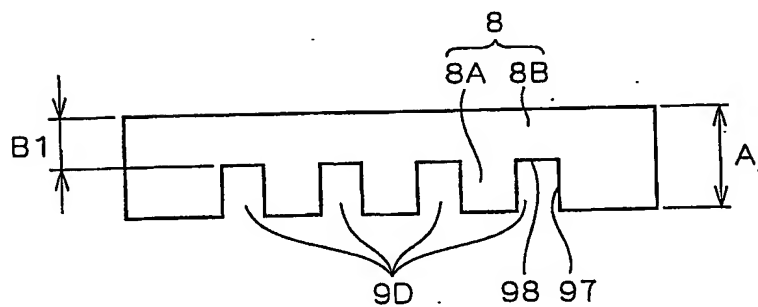
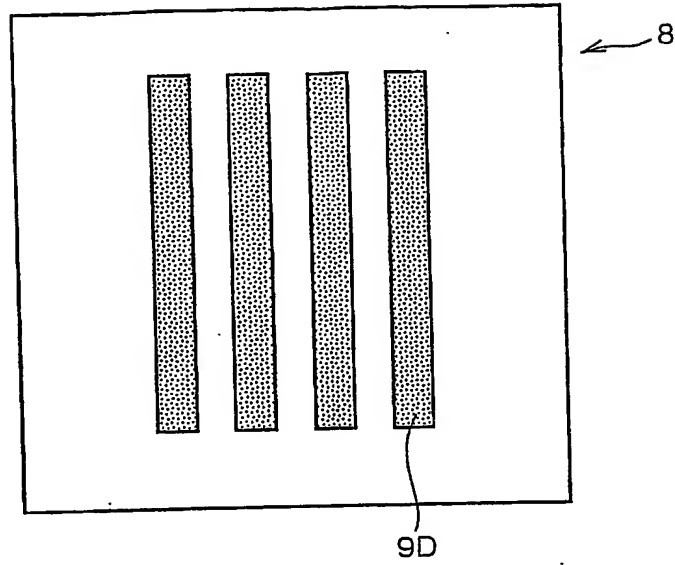


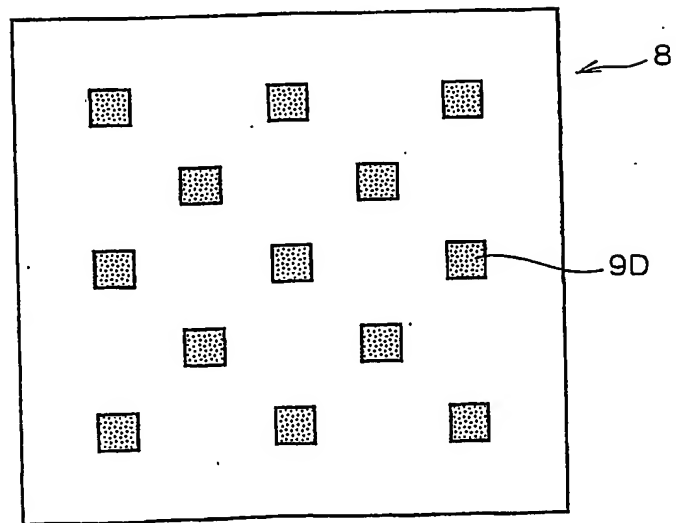
図 2 5



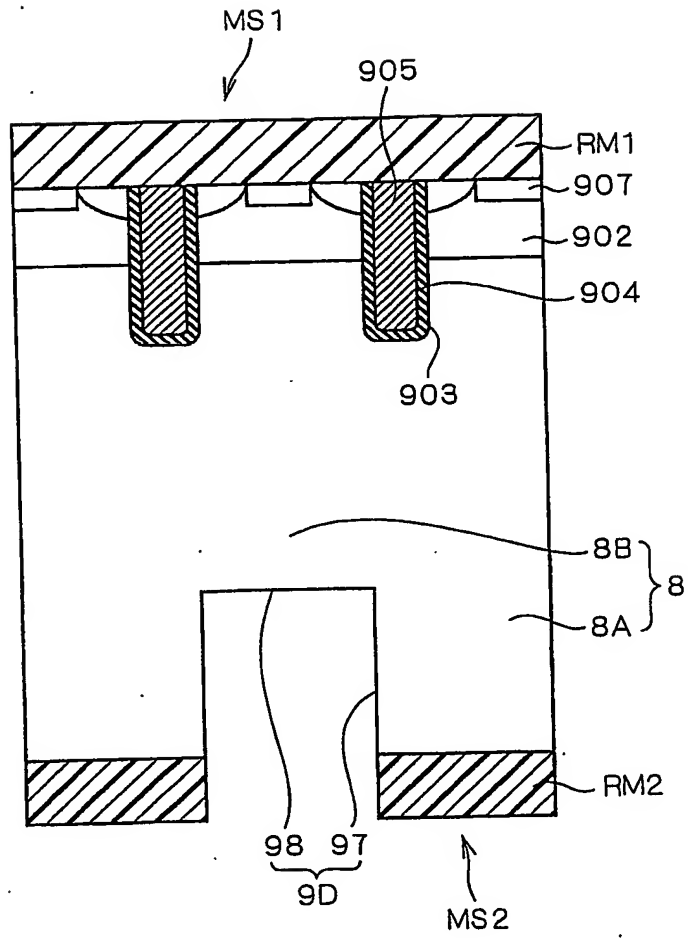
☒ 2 6



☒ 2 7



2 9



3 0

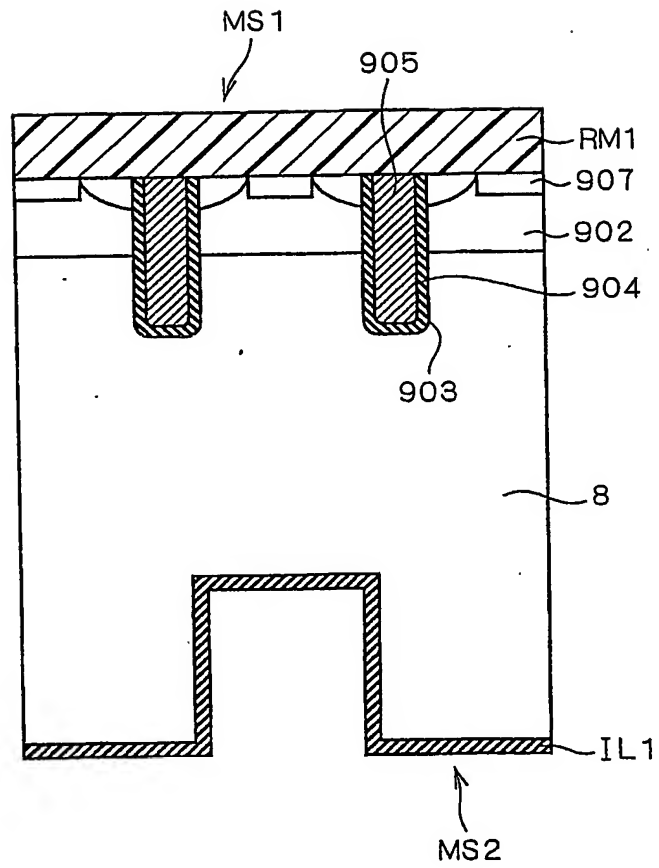
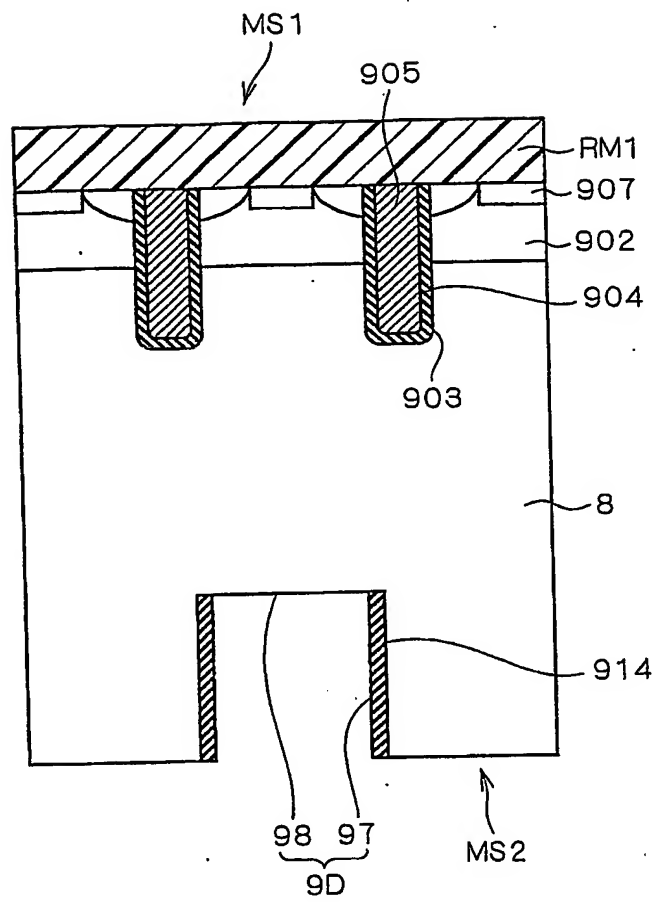
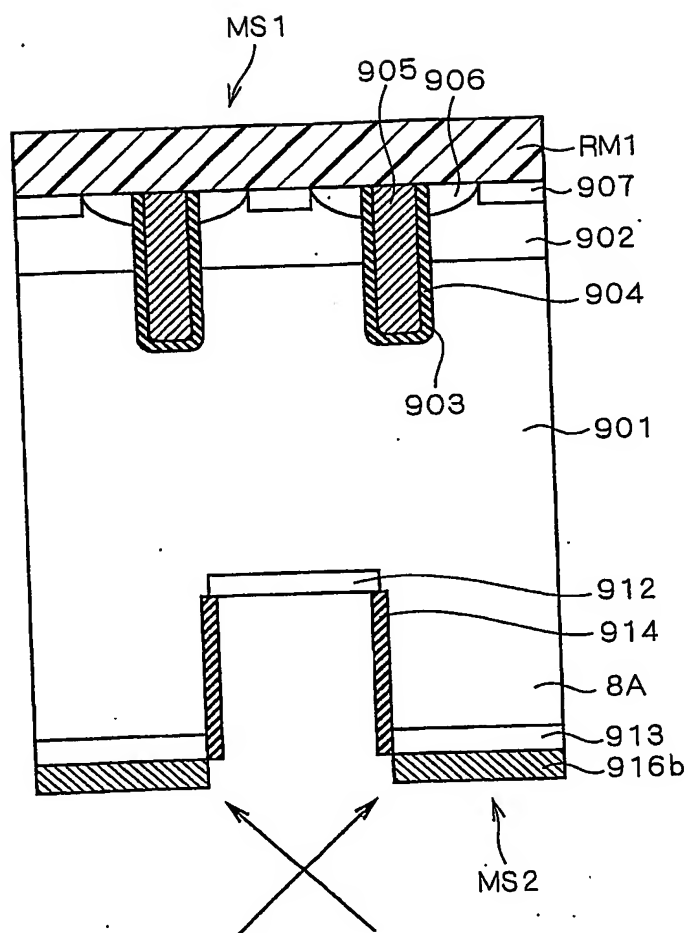


図 3 1



3 2



3 3

